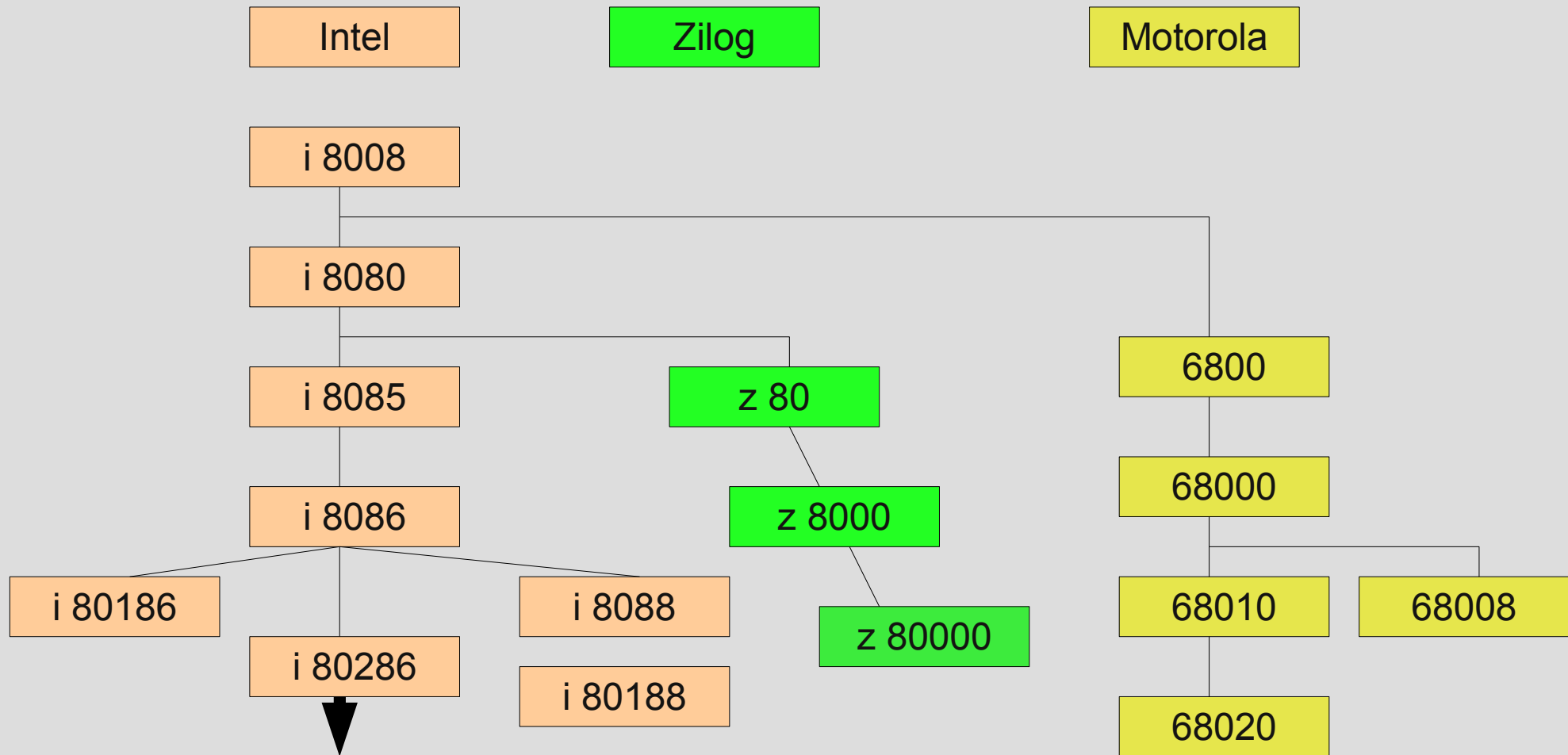


# Weitere Konzepte

- Grundkonzepte wurde an Hand von LC1 erläutert
- reale Rechner können viel mehr
- Übersicht über (fast alle) Mikroprozessoren:  
[http://de.wikipedia.org/wiki/Liste\\_von\\_Mikroprozessoren](http://de.wikipedia.org/wiki/Liste_von_Mikroprozessoren)
- Behandlung am Beispiel des Mikroprozessors INTEL 8086 (Urvater aller Mikroprozessoren, relativ überschaubare Konzepte)

# INTEL 8086

- Historische Einordnung



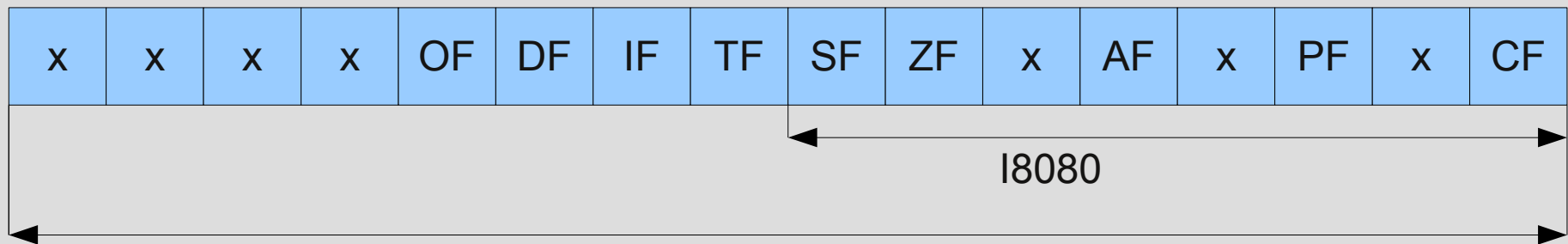
# INTEL 8086 (2)

- siehe

[www.zmms.tu-berlin.de/modys/MRT/MRT1\\_02.pdf](http://www.zmms.tu-berlin.de/modys/MRT/MRT1_02.pdf)

# Flagregister

- Registerstruktur



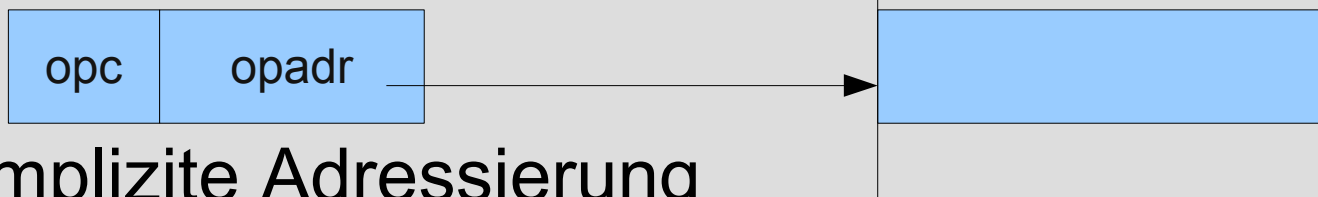
18086

OF - Overflow-Flag  
DF - Direction-Flag  
IF - Interrupt-Flag  
TF - Trap-Flag  
SF - Sign-Flag

ZF - Zero-Flag  
AF - Auxiliary-Flag  
PF - Parity-Flag  
CF - Carry-Flag  
x - unzugänglich für Programmierer,  
beim Lesen 0

# Adressierungsmodi

- Art und Weise der Angabe einer (Operanden-)Adresse in einem Maschinenbefehl
- LC 1:
  - direkte Adressierung



- implizite Adressierung



0100 – ADD ( $A := A + B$ )

# Adressierungsmodi (2)

- Beispiele I8086 und LC1
  - In welcher Ressource liegt der Operand?
    - Registeradressierung
    - Speicheradressierung
  - Ist die Operandenadresse im Maschinenbefehl explizit anzugeben oder folgt die Operandenadresse implizit aus dem Operationskode?
    - explizite Adressierung
    - implizite Adressierung

# Adressierungsmodi (3)

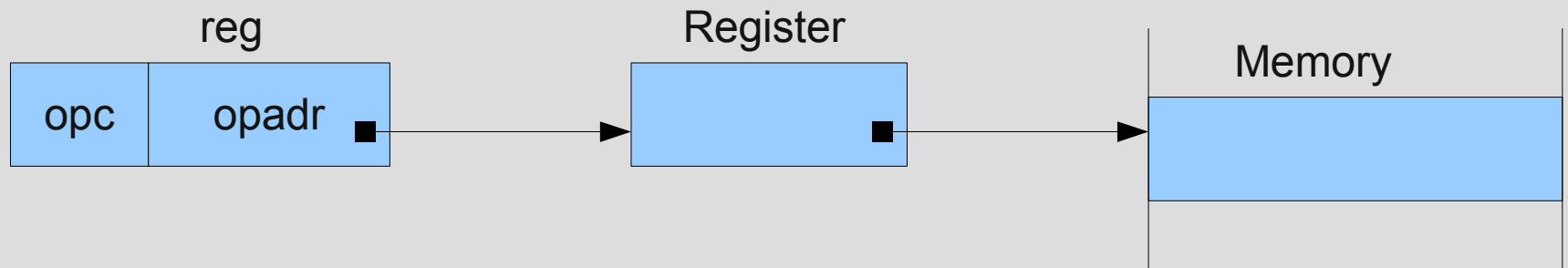
- LC 1:
  - Implizite Registeradressierung  
Bei keinem LC-1 Befehl wird im Feld `opadr` explizit angegeben, in welchem Register der Operand liegt. Dies folgt jeweils aus dem Operationskode (z.B. LDA, MOV, ...)
  - Explizite Speicheradressierung  
Falls ein Operand im Speicher liegt, muss die Adresse der betreffenden Speicherzelle explizit im Feld **opadr** angegeben werden.
  - Implizite Speicheradressierung  
CAL, RET (Speicher wird zugegriffen, ohne explizit genannt zu werden)

# Adressierungsmodi (4)

- direkte Adressierung:  $\text{madr} := \text{adr}$



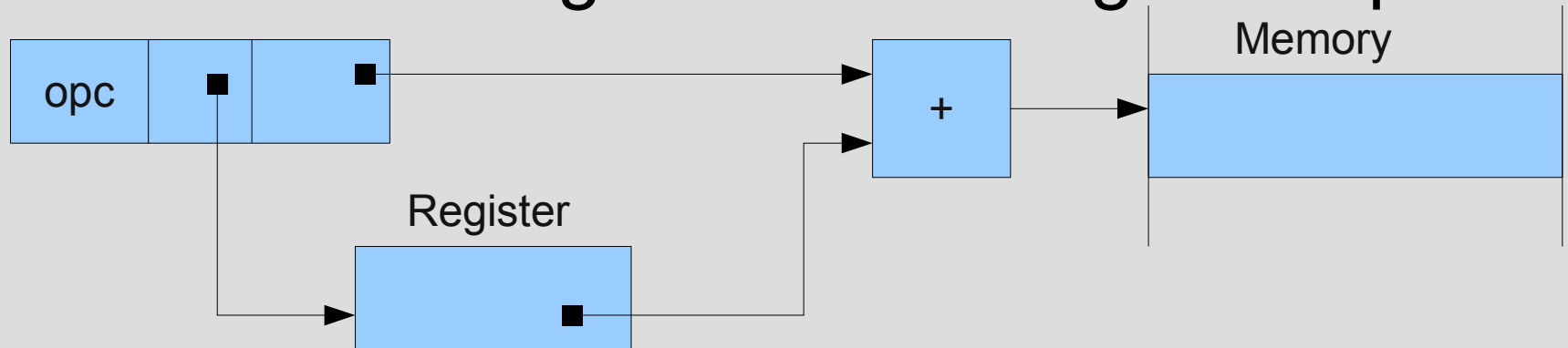
- (register-)indirekte Adressierung:  $\text{madr} := \langle \text{reg} \rangle$



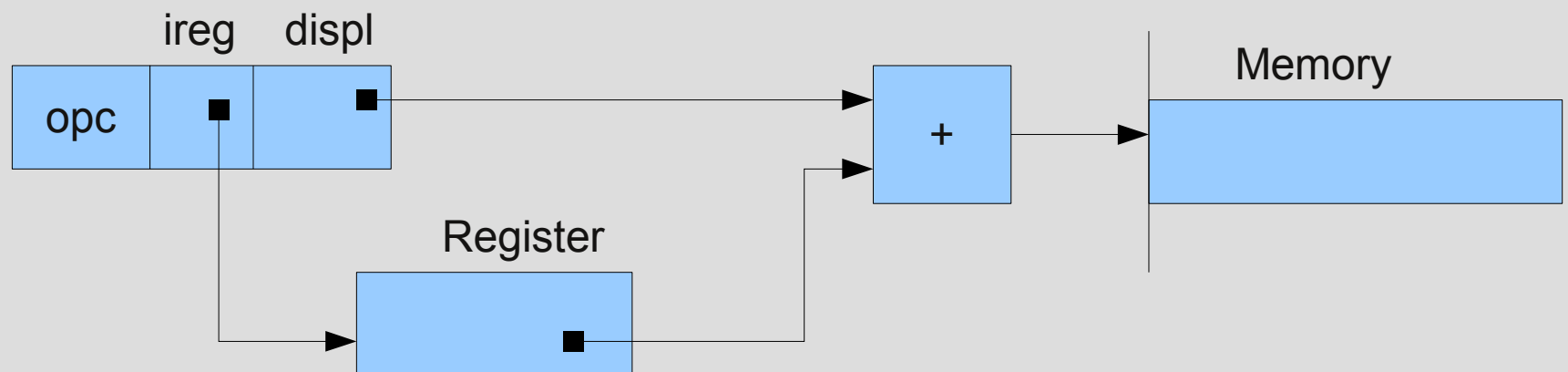


# Adressierungsmodi (5)

- Basisadressierung:  $\text{madr} := \langle \text{breg} \rangle + \text{displ}$

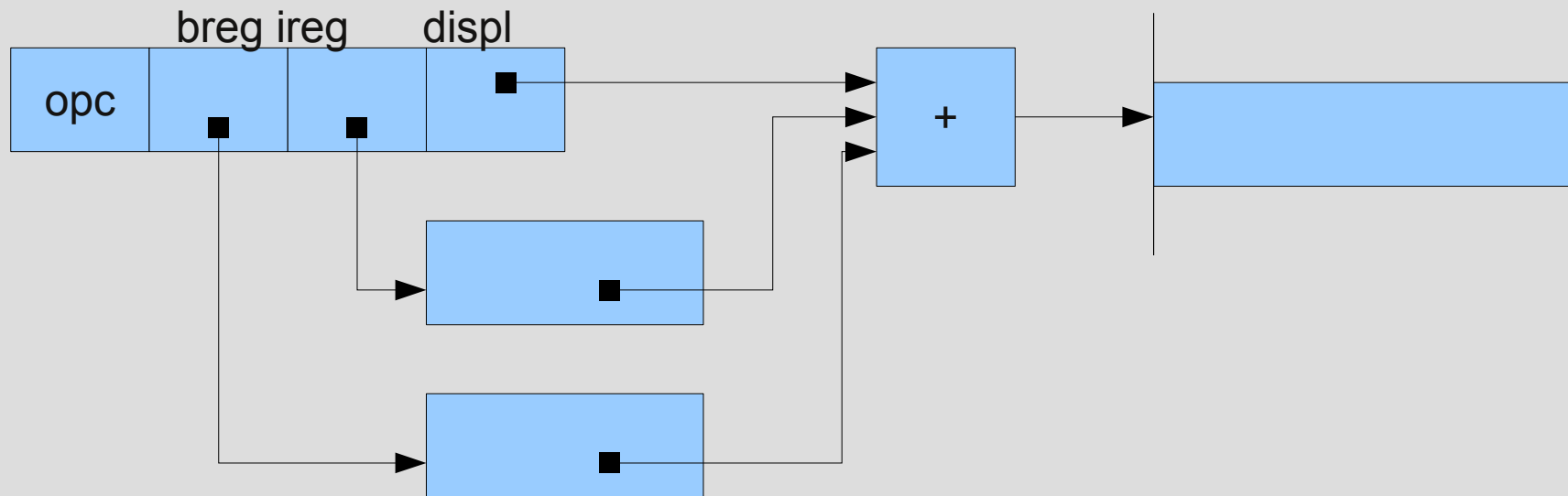


- Indexadressierung:  $\text{madr} := \langle \text{ireg} \rangle + \text{displ}$



# Adressierungsmodi (6)

- basisindizierte Adressierung:  
 $\text{madr} := \langle \text{breg} \rangle + \langle \text{ireg} \rangle + \langle \text{displ} \rangle$

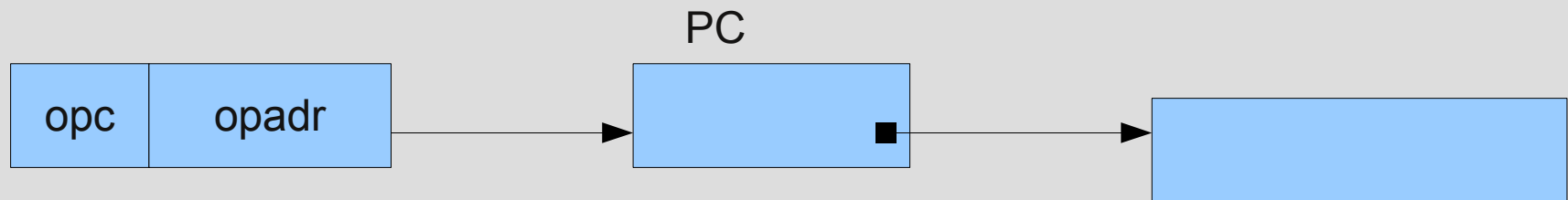


# Adressierungsmodi (7)

- Adressierungsmodi bei Sprüngen

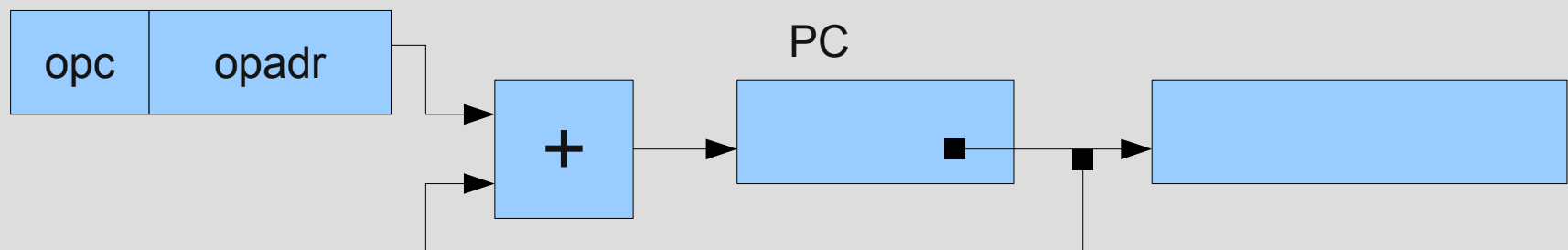
Absolute Adressierung

$\langle PC \rangle := \text{adr}, \text{madr} := PC$



– Relative Adressierung

$\langle PC \rangle := \langle PC \rangle + \text{adr}, \text{madr} := \langle PC \rangle$



# Adressierungsverfahren i8086

- Real-Mode

Adressraum: 1 Mbyte ( $2^{20}$ )

Adressregister: 64 kByte ( $2^{16}$ )

Wie wird dieser Widerspruch gelöst?

$\text{<Adressregister> * 16 + \text{Offset}}$

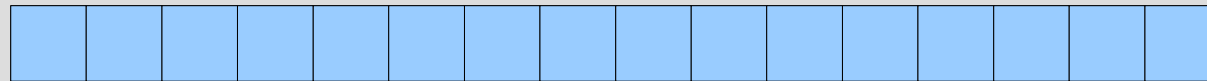
- Segmentierung:

|    |
|----|
| CS |
| DS |
| SS |
| ES |

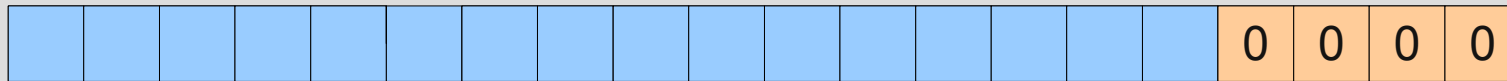
} Adressregister (oder besser **Segmentregister**)

# Adressierungsverfahren i8086

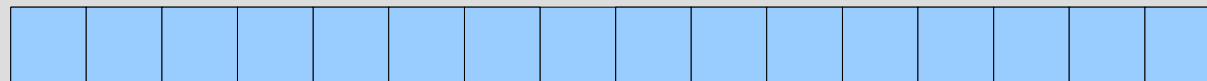
## (2)



Segmentadr.



\*16



+ Offsetadr.



phys. Adr.

# Interruptsystem

PIC 1 (Master)

```
+-----+
| IRQ 0      +<--- Timer
| IRQ 1      +<--- Tastatur
Echtzeituhr
| IRQ 2      +<-----+
| IRQ 3      +<--- Seriell |
| IRQ 4      +<--- Seriell |
| IRQ 5      +<--- Soundkarte |
| IRQ 6      +<--- Floppy   |
Koprozessor
| IRQ 7      +<--- Parallel  |
+-----+-----+          Port
|
|
|
+---->>> Zur CPU
```

PIC 2 (Slave)

```
+-----+
| IRQ 8      +<---
| IRQ 9      +<--- ...
| IRQ 10     +<--- ...
| IRQ 11     +<--- ...
| IRQ 12     +<--- PS/2 Maus
| IRQ 13     +<---
| IRQ 14     +<--- Festplatte
| IRQ 15     +<--- Festplatte
+-----+-----+
```

# Interruptsystem (2)

