

Wiederholungsprüfung „Rechnerarchitektur“

VHDL

Dr. Andreas Müller
TU Chemnitz

3. Februar 2010

(VHDL)

Aufgabe 1

Gegeben Sie folgende Wertetabelle (a, b, c seien Inputvariablen, x, y, z Outputvariablen):

a	b	c	x	y	z
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	1	1	1
0	1	1	1	1	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	0	1	1

Realisieren Sie die VHDL-**Strukturbeschreibung** für die Schaltung, die o.g. Wertetabelle realisiert. Minimieren Sie die Booleschen Gleichungen zunächst mithilfe von Karnaugh-Plänen. Die Grundgatter, aus denen die Strukturbeschreibung aufgebaut wird, sollen als Verhaltens- oder als Datenflussbeschreibung angegeben werden (es muss mindestens eine Beschreibung eines Gatters als Verhaltensbeschreibung und mindestens eine Beschreibung eines Gatters als Datenflussbeschreibung angegeben werden).

Aufgabe 2

Beschreiben Sie in einem VHDL-Programm ein 2-bit Addierwerk. Verwenden Sie dazu einen Volladder (siehe Vorlesung) und einen Halbadder. Der Halbadder soll nur aus AND und OR- Gattern aufgebaut werden. Entwerfen Sie ein Struktur- und ein Verhaltensmodell des 2-bit Addierwerks. Zur Verifikation ist ein geeignetes Testbench zu entwerfen.