

## Übungsaufgaben VHDL

1. Beschreiben Sie in einem VHDL-Programm ein 2-bit Addierwerk. Verwenden Sie dazu einen Volladder (siehe Vorlesung) und einen Halbadder. Der Halbadder soll nur aus AND- und OR- Gattern aufgebaut werden.  
Entwerfen Sie ein Struktur- und ein Verhaltensmodell.  
Zur Verifikation ist ein geeignetes Testbench zu entwerfen.
2. Lösen Sie die Aufgabe 2 der Musterklausur.
3. Modellieren Sie das Verhalten und die Struktur des Taktgenerators (siehe Vorlesung 9) mit einem VHDL-Programm.  
Zur Verifikation ist ein geeignetes Testbench zu entwerfen.
4. Beschreiben Sie die Struktur eines taktzustandgesteuertes RS-Flip-Flop mit einem VHDL-Programms (siehe Übung).  
Zur Verifikation ist ein geeignetes Testbench zu entwerfen.